

# INTERNATIONAL STANDARD

# NORME INTERNATIONALE



**Test methods for electrical materials, circuit boards and other interconnection structures and assemblies –  
Part 2-720: Detection of defects in interconnection structures by measurement of capacitance**

**Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles –  
Partie 2-720 : Détection de défauts présents dans les structures d'interconnexion par mesurage de la capacité**



**THIS PUBLICATION IS COPYRIGHT PROTECTED**  
**Copyright © 2024 IEC, Geneva, Switzerland**

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Secretariat  
3, rue de Varembe  
CH-1211 Geneva 20  
Switzerland

Tel.: +41 22 919 02 11  
[info@iec.ch](mailto:info@iec.ch)  
[www.iec.ch](http://www.iec.ch)

#### About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

#### About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

#### IEC publications search - [webstore.iec.ch/advsearchform](http://webstore.iec.ch/advsearchform)

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee, ...). It also gives information on projects, replaced and withdrawn publications.

#### IEC Just Published - [webstore.iec.ch/justpublished](http://webstore.iec.ch/justpublished)

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

#### IEC Customer Service Centre - [webstore.iec.ch/csc](http://webstore.iec.ch/csc)

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: [sales@iec.ch](mailto:sales@iec.ch).

#### IEC Products & Services Portal - [products.iec.ch](http://products.iec.ch)

Discover our powerful search engine and read freely all the publications previews, graphical symbols and the glossary. With a subscription you will always have access to up to date content tailored to your needs.

#### Electropedia - [www.electropedia.org](http://www.electropedia.org)

The world's leading online dictionary on electrotechnology, containing more than 22 500 terminological entries in English and French, with equivalent terms in 25 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

---

#### A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

#### A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

#### Recherche de publications IEC -

#### [webstore.iec.ch/advsearchform](http://webstore.iec.ch/advsearchform)

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études, ...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

#### IEC Just Published - [webstore.iec.ch/justpublished](http://webstore.iec.ch/justpublished)

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

#### Service Clients - [webstore.iec.ch/csc](http://webstore.iec.ch/csc)

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: [sales@iec.ch](mailto:sales@iec.ch).

#### IEC Products & Services Portal - [products.iec.ch](http://products.iec.ch)

Découvrez notre puissant moteur de recherche et consultez gratuitement tous les aperçus des publications, symboles graphiques et le glossaire. Avec un abonnement, vous aurez toujours accès à un contenu à jour adapté à vos besoins.

#### Electropedia - [www.electropedia.org](http://www.electropedia.org)

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 500 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 25 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

# INTERNATIONAL STANDARD

# NORME INTERNATIONALE



---

**Test methods for electrical materials, circuit boards and other interconnection structures and assemblies –  
Part 2-720: Detection of defects in interconnection structures by measurement of capacitance**

**Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles –  
Partie 2-720 : Détection de défauts présents dans les structures d'interconnexion par mesurage de la capacité**

INTERNATIONAL  
ELECTROTECHNICAL  
COMMISSION

COMMISSION  
ELECTROTECHNIQUE  
INTERNATIONALE

---

ICS 31.180

ISBN 978-2-8322-8327-1

**Warning! Make sure that you obtained this publication from an authorized distributor.  
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

## CONTENTS

FOREWORD .....	3
1 Scope .....	5
2 Normative references .....	5
3 Terms and definitions .....	5
4 Objective .....	5
5 Test specimen .....	6
6 Test method .....	6
7 Test procedures .....	7
8 Report .....	8
Annex A (informative) The capacitive test method .....	9
A.1 Test schematic .....	9
A.2 Test result .....	9
Figure 1 – Capacitance difference depending on the defect of mouse bite .....	6
Figure 2 – Test specimen .....	6
Figure 3 – Schematic of the capacitance test method .....	7
Figure A.1 – Test schematic .....	9
Table 1 – Definition of uppercase .....	8
Table A.1 – Test result for the test specimen .....	10

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

**TEST METHODS FOR ELECTRICAL MATERIALS, CIRCUIT BOARDS AND  
OTHER INTERCONNECTION STRUCTURES AND ASSEMBLIES –****Part 2-720: Detection of defects in interconnection  
structures by measurement of capacitance**

## FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) IEC draws attention to the possibility that the implementation of this document may involve the use of (a) patent(s). IEC takes no position concerning the evidence, validity, or applicability of any claimed patent rights in respect thereof. As of the date of publication of this document, IEC had not received notice of (a) patent(s), which may be required to implement this document. However, implementers are cautioned that this may not represent the latest information, which may be obtained from the patent database available at <https://patents.iec.ch>. IEC shall not be held responsible for identifying any or all such patent rights.

IEC 61189-2-720 has been prepared by IEC technical committee 91: Electronics assembly technology. It is an International Standard.

The text of this International Standard is based on the following documents:

Draft	Report on voting
91/1923/FDIS	91/1934/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

The language used for the development of this International Standard is English.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2 2, and developed in accordance with ISO/IEC Directives, Part 1 and ISO/IEC Directives, IEC Supplement, available at [www.iec.ch/members\\_experts/refdocs](http://www.iec.ch/members_experts/refdocs). The main document types developed by IEC are described in greater detail at [www.iec.ch/publications](http://www.iec.ch/publications).

A list of all parts in the IEC 61189 series, published under the general title *Test methods for electrical materials, circuit boards and other interconnection structures and assemblies*, can be found on the IEC website.

Future standards in this series will carry the new general title as cited above. Titles of existing standards in this series will be updated at the time of the next edition.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn, or
- revised.

**IMPORTANT – The "colour inside" logo on the cover page of this document indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.**

# TEST METHODS FOR ELECTRICAL MATERIALS, CIRCUIT BOARD AND OTHER INTERCONNECTION STRUCTURES AND ASSEMBLIES –

## Part 2-720: Detection of defects in interconnection structures by measurement of capacitance

### 1 Scope

This part of IEC 61189 provides a method to evaluate specific characteristics of circuit boards by measuring the capacitance between conductor traces and a ground plane and can be used for qualitative comparison of a test specimen to a reference board. This method is not intended for quantitative measurements and for assessment of conformity to a specification.

### 2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60194-2, *Printed boards design, manufacture and assembly – Vocabulary – Part 2: Common usage in electronic technologies as well as printed board and electronic assembly technologies*

### 3 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60194-2 apply. No terms and definitions are listed in this document.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

### 4 Objective

For testing electrical characteristics of circuit board, generally an electrical open/short test that shall measure the resistance between nets is the main test method. This open/short test is possible only to look at the pass/the fail of circuits and not to look for any reliability issues of circuit board like as mouse bite, delamination, void, and crack. Therefore, the general electrical test has a limitation. Along with the capacitance test method, the electrical test method shall check the existing reliability issues of circuit boards and this standardization of the additional electrical test is necessary from the development stage. It is possible to accurately measure the differences in the capacitance values of circuit boards before and after the reliability test. This is sufficient for the development stage and reliability testing rather than in-production testing because of the long test time of electrical test. Other than the probing contact issues, there is no problem with the measurement uncertainty. It is possible to look for defects such as open/short, mouse bite, delamination, void, and so on by analysing the test defect nets. In looking for the capacitance test method, it shows the capacitance difference depending on the pad width, pad length, and pad distance as shown in Figure 1. Figure 1 shows the defect of mouse bite.

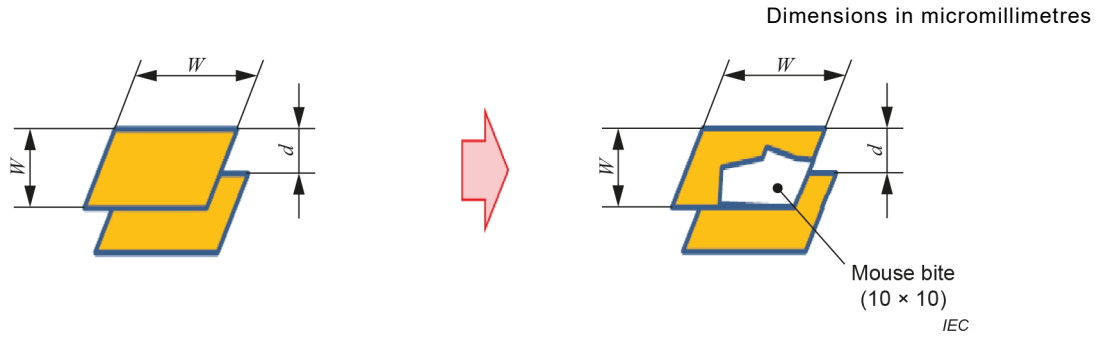


Figure 1 – Capacitance difference depending on the defect of mouse bite

### 5 Test specimen

Figure 2 shows the test specimen with top test pads and bottom test pads. It shall be prepared to test real circuit boards and test coupons with a warpage specification of less than 2 mm for improving adhesion with the ground metal plate.

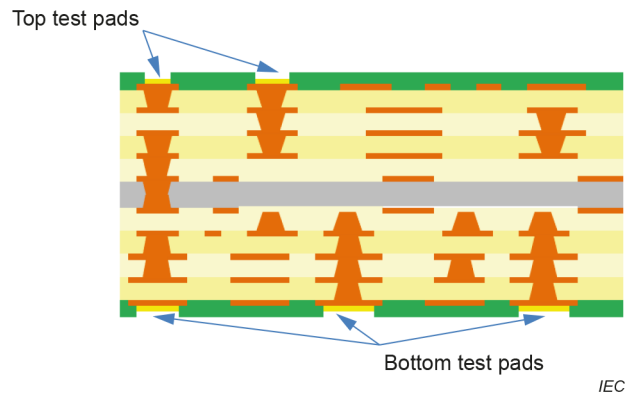
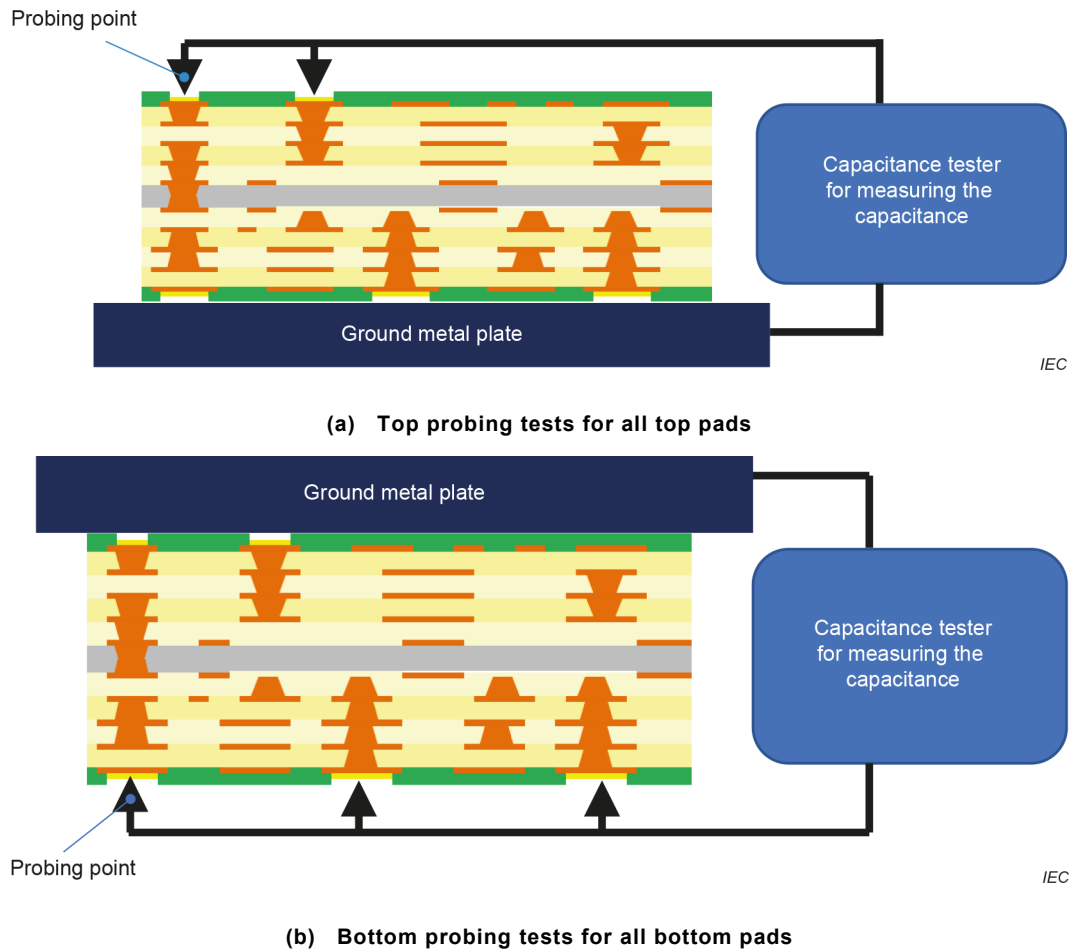


Figure 2 – Test specimen

### 6 Test method

Figure 3 shows the schematic of the capacitance test method for measuring capacitance using a capacitance tester such as an LCR meter and Impedance tester. After contacting the ground metal plate of one side, the capacitance of all of pads of the other side shall be tested. The top probing tests and the bottom probing tests are conducted.



**Figure 3 – Schematic of the capacitance test method**

## 7 Test procedures

The specimen shall be attached to the ground metal plate without any attached materials, and it may need the ground metal plate with the vacuum suction holes for improving the attachment between test specimen and ground metal plate. The 2-port capacitance tester shall be connected at each probing point and ground metal plate. If looking at the test schematic in Figure A.1, after attaching the test specimen to the ground metal plate, the 2-port impedance tester shall be connected to the pads of the test specimen and ground metal plate. The ground metal plate shall be the common ground and the capacitance shall be measured at each one-side probing point. Also, it is necessary to measure at each other-side probing point. After that, it shall analyze all the test results by comparing the average error ratio of all test specimens.

The test sequences to test the capacitance of circuit boards are as follows:

- 1) Reference board and test specimen shall be kept without packaging at standard laboratory conditions for a minimum of 24 h before measurement.
- 2) Looking for the reference values with the average value for each test pad by testing 10 specimens, then determining the high limit ratio and the low limit ratio.
- 3) Cleaning the contamination on the ground metal plate.
- 4) Putting the test specimen on the ground metal plate and attaching the vacuum suction without any attached materials.
- 5) Firstly, testing the capacitance characteristics of the one-side test specimen with the impedance tester.
- 6) Repeat sequence 2).

- 7) Secondly, attaching the other-side test specimen on the ground metal plate without any attached materials.
- 8) Testing the capacitance characteristics of test specimen with the impedance tester.
- 9) Comparing the capacitance characteristics of all of test results with the average error ratio according to high limit and low limit (referred to in Annex A).

**Table 1 – Definition of uppercase**

<b>A</b>	<b>B</b>	<b>C</b>	<b>D</b>	<b>E</b>	<b>F</b>
REF-VALUE (F)	MEAS-VALUE (F)	Average error ratio (%)	High LIMIT (%)	Low LIMIT (%)	Judgement (Pass/Failure)

A = the average capacitance value of 10 times testing values

B = the measured capacitance value

$C (\%) = (B/A) * 100$

F(Pass) range =  $E \leq C \leq D$

F(Failure) range =  $E > C$  or  $C > D$

- 10) Judging the pass/failure rate for the electrical characteristics of the circuit board.

## 8 Report

The test report shall include:

- a) test schematic for the capacitance test method;
- b) measuring frequency;
- c) the impedance tester for measuring the capacitance used;
- d) the ground metal plate as the common ground used;
- e) humidity to room temperature;
- f) the date of the test;
- g) the room temperature under which the test was conducted;
- h) the test sequences;
- i) high limit and low limit;
- j) the table of the average error ratio for comparing all test results;
- k) the pass/failure rate of the circuit board.

## Annex A (informative)

### The capacitive test method

#### A.1 Test schematic

As shown in Figure A.1, the test schematic of the top (Figure A.1a)) and bottom pad probing testing (Figure A.1b)) shall be prepared.

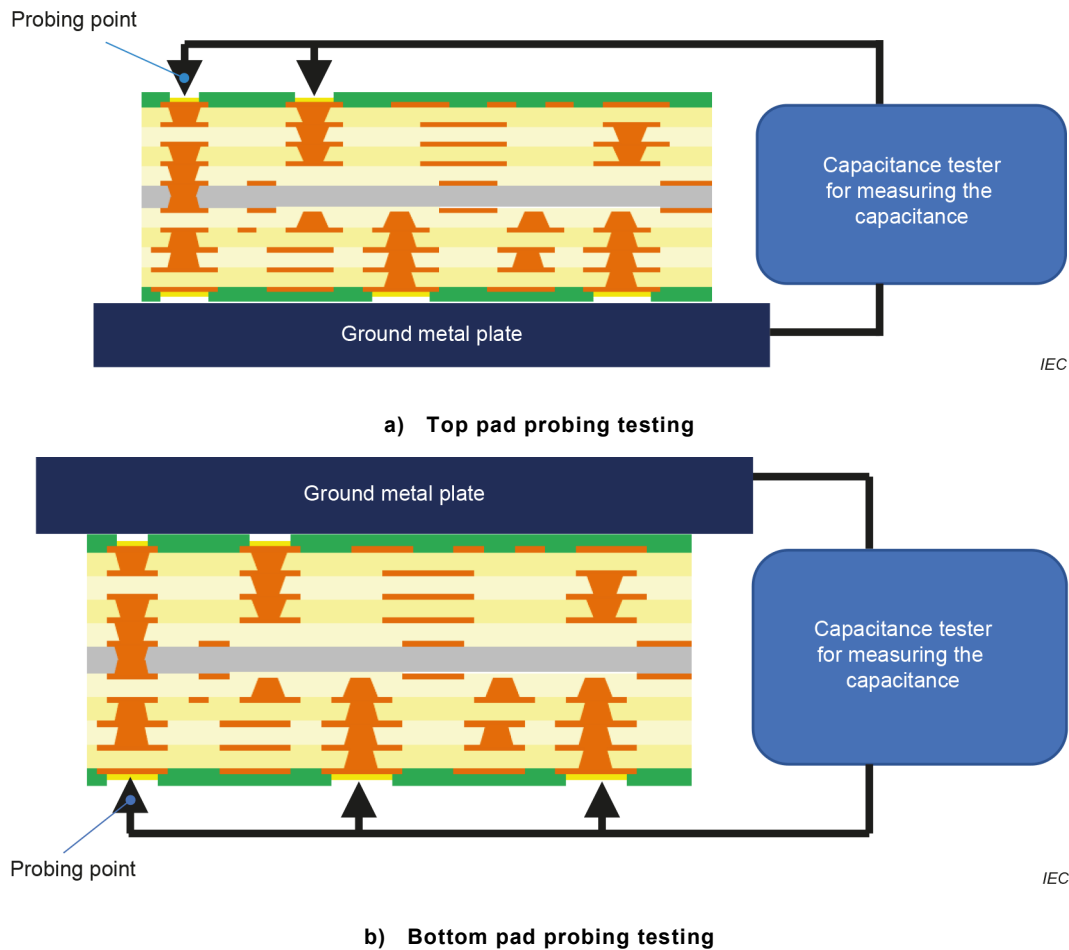


Figure A.1 – Test schematic

#### A.2 Test result

The average error ratio shall be calculated by comparing the reference value and the measurement value. According to the high limit and low limit of 18 % each way, the pass/failure of the test specimen shall be judged. As shown in Table A.1, 4 probing pads among the bottom probing pads shall be failed and the test specimen shall be judged to have a reliability issue. The high limit and low limit shall be decided with the analysis of test samples depending on the companies.

**Table A.1 – Test result for the test specimen**

Probing Pads		REF-VALUE(F)	MEAS-VALUE(F)	Average error Ratio (%)	High LIMIT	Low LIMIT	Judgement
Top	1	1,91E-13	1,71E-13	-1,05E+01	18,00 %	-18,00 %	Pass
	2	6,08E-14	5,59E-14	-8,07E+00	18,00 %	-18,00 %	Pass
	3	1,92E-13	1,72E-13	-1,06E+01	18,00 %	-18,00 %	Pass
	4	6,07E-14	5,56E-14	-8,38E+00	18,00 %	-18,00 %	Pass
	5	4,25E-13	4,14E-13	-2,62E+00	18,00 %	-18,00 %	Pass
	6	2,67E-13	2,44E-13	-8,69E+00	18,00 %	-18,00 %	Pass
	7	3,63E-13	3,56E-13	-2,10E+00	18,00 %	-18,00 %	Pass
	8	1,60E-12	1,64E-12	2,15E+00	18,00 %	-18,00 %	Pass
	9	5,32E-13	5,22E-13	-1,79E+00	18,00 %	-18,00 %	Pass
	10	3,65E-13	3,52E-13	-3,38E+00	18,00 %	-18,00 %	Pass
	11	1,60E-12	1,62E-12	1,45E+00	18,00 %	-18,00 %	Pass
	12	1,60E-12	1,63E-12	1,58E+00	18,00 %	-18,00 %	Pass
Bottom	1	6,02E-14	4,84E-14	-1,95E+01	18,00 %	-18,00 %	Failure
	2	7,61E-13	5,84E-13	-2,33E+01	18,00 %	-18,00 %	Failure
	3	6,02E-14	4,83E-14	-1,97E+01	18,00 %	-18,00 %	Failure
	4	6,02E-14	4,73E-14	-2,15E+01	18,00 %	-18,00 %	Failure
	5	3,89E-13	3,71E-13	-4,63E+00	18,00 %	-18,00 %	Pass
	6	1,60E-12	1,59E-12	-7,13E-01	18,00 %	-18,00 %	Pass
	7	1,60E-12	1,59E-12	-8,51E-01	18,00 %	-18,00 %	Pass
	8	1,24E-13	1,18E-13	-4,18E+00	18,00 %	-18,00 %	Pass
	9	1,60E-12	1,59E-12	-8,84E-01	18,00 %	-18,00 %	Pass
	10	1,60E-12	1,59E-12	-9,09E-01	18,00 %	-18,00 %	Pass
	11	1,60E-12	1,59E-12	-8,28E-01	18,00 %	-18,00 %	Pass
	12	2,86E-13	2,78E-13	-2,69E+00	18,00 %	-18,00 %	Pass



## SOMMAIRE

AVANT-PROPOS .....	13
1 Domaine d'application .....	15
2 Références normatives .....	15
3 Termes et définitions .....	15
4 But .....	16
5 Spécimen d'essai .....	16
6 Méthode d'essai .....	17
7 Procédures d'essai .....	17
8 Rapport .....	19
Annexe A (informative) Méthode d'essai capacitive.....	20
A.1 Schéma d'essai .....	20
A.2 Résultat d'essai .....	20
Figure 1 – Différence de capacité en cas de défaut de morsure de rongeur .....	16
Figure 2 – Spécimen d'essai .....	16
Figure 3 – Schéma de la méthode d'essai de la capacité .....	17
Figure A.1 – Schéma d'essai .....	20
Tableau 1 – Signification des lettres majuscules .....	18
Tableau A.1 – Résultat d'essai du spécimen .....	21

## COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**MÉTHODES D'ESSAI POUR LES MATÉRIAUX ÉLECTRIQUES,  
LES CIRCUITS IMPRIMÉS ET AUTRES STRUCTURES  
D'INTERCONNEXION ET ENSEMBLES –****Partie 2-720: Détection de défauts présents dans les structures  
d'interconnexion par mesurage de la capacité**

## AVANT-PROPOS

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'IEC attire l'attention sur le fait que la mise en application du présent document peut entraîner l'utilisation d'un ou de plusieurs brevets. L'IEC ne prend pas position quant à la preuve, à la validité et à l'applicabilité de tout droit de brevet revendiqué à cet égard. À la date de publication du présent document, l'IEC n'a pas reçu notification qu'un ou plusieurs brevets pouvaient être nécessaires à sa mise en application. Toutefois, il y a lieu d'avertir les responsables de la mise en application du présent document que des informations plus récentes sont susceptibles de figurer dans la base de données de brevets, disponible à l'adresse <https://patents.iec.ch>. L'IEC ne saurait être tenue pour responsable de l'identification de ces droits de propriété en tout ou partie.

L'IEC 61189-2-720 a été établie par le comité d'études 91 de l'IEC: Techniques d'assemblage des composants électroniques. Il s'agit d'une Norme internationale.

Le texte de cette Norme internationale est issu des documents suivants:

Projet	Rapport de vote
91/1923/FDIS	91/1934/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous [www.iec.ch/members\\_experts/refdocs](http://www.iec.ch/members_experts/refdocs). Les principaux types de documents développés par l'IEC sont décrits plus en détail sous [www.iec.ch/publications](http://www.iec.ch/publications).

Une liste de toutes parties de la série IEC 61189, publiées sous le titre général *Méthodes d'essai pour les matériaux électriques, les circuits imprimées et autres structures d'interconnexion et ensembles*, se trouve sur le site web de l'IEC.

Les futures normes de cette série porteront dorénavant le nouveau titre général cité ci-dessus. Le titre des normes existant déjà dans cette série sera mis à jour lors de la prochaine édition.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé, ou
- révisé.

**IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de ce document indique qu'il contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer ce document en utilisant une imprimante couleur.**

# MÉTHODES D'ESSAI POUR LES MATÉRIAUX ÉLECTRIQUES, LES CIRCUITS IMPRIMÉS ET AUTRES STRUCTURES D'INTERCONNEXION ET ENSEMBLES –

## Partie 2-720: Détection de défauts présents dans les structures d'interconnexion par mesurage de la capacité

### 1 Domaine d'application

La présente partie de l'IEC 61189 fournit une méthode pour évaluer les caractéristiques spécifiques des circuits imprimés en mesurant la capacité entre les traces conductrices et un plan de masse. Elle peut être utilisée pour établir une comparaison qualitative d'un spécimen d'essai par rapport à un circuit de référence. Cette méthode n'est pas destinée aux mesures quantitatives ni à l'évaluation de la conformité à une spécification.

### 2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60194-2, *Printed boards design, manufacture and assembly – Vocabulary – Part 2: Common usage in electronic technologies as well as printed board and electronic assembly technologies* (disponible en anglais seulement)

### 3 Termes et définitions

Pour les besoins du présent document, les termes et définitions de l'IEC 60194-2 s'appliquent. Aucun terme n'est défini dans le présent document.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

#### 4 But

Pour soumettre à l'essai les caractéristiques électriques d'un circuit imprimé, la principale méthode d'essai consiste généralement à effectuer un essai de circuit ouvert/court-circuit électrique qui doit mesurer la résistance entre les interconnexions. Cet essai de circuit ouvert/de court-circuit permet uniquement de constater la réussite/l'échec des circuits et non de détecter les problèmes de fiabilité des circuits imprimés tels que les morsures de rongeurs, les décollements interlaminaires, les vides et les fissures. Par conséquent, l'essai électrique général comporte une limite. Conjointement à la méthode d'essai de capacité, la méthode d'essai électrique doit permettre de vérifier les problèmes de fiabilité existants des circuits imprimés et la présente normalisation de l'essai électrique supplémentaire est nécessaire dès le stade d'élaboration. Il est possible de mesurer avec exactitude les différences entre les valeurs de capacité des circuits imprimés avant et après l'essai de fiabilité. Ceci est suffisant pour le stade d'élaboration et les essais de fiabilité plutôt que les essais en production, en raison de la durée importante de l'essai électrique. Hormis les problèmes de contact de sonde, l'incertitude de mesure n'occasionne aucun problème. Il est possible de rechercher la situation des défauts, tels que circuit ouvert ou court-circuit, morsure de rongeur, décollement interlaminaire, vide, etc. en analysant les interconnexions en défauts après l'essai. En ce qui concerne la méthode d'essai de capacité, elle indique la différence de capacité en fonction de la largeur, de la longueur et de la distance des plages d'accueil, comme le représente la Figure 1. La Figure 1 représente le défaut de morsure de rongeur.

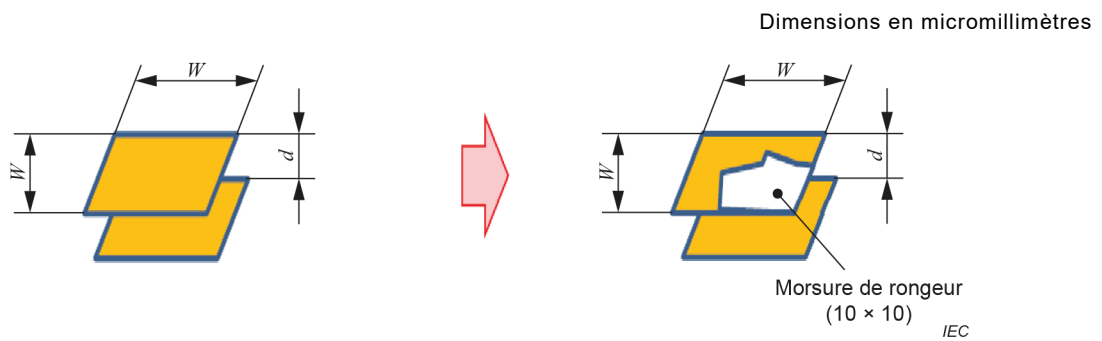


Figure 1 – Différence de capacité en cas de défaut de morsure de rongeur

#### 5 Spécimen d'essai

La Figure 2 représente le spécimen d'essai avec ses plages d'essai supérieures et celles du niveau inférieur. Il doit être préparé en vue de soumettre à l'essai des circuits imprimés réels et des éprouvettes, en prenant en compte la spécification de déformations inférieures à 2 mm pour améliorer l'adhérence avec la plaque métallique de mise à la terre.

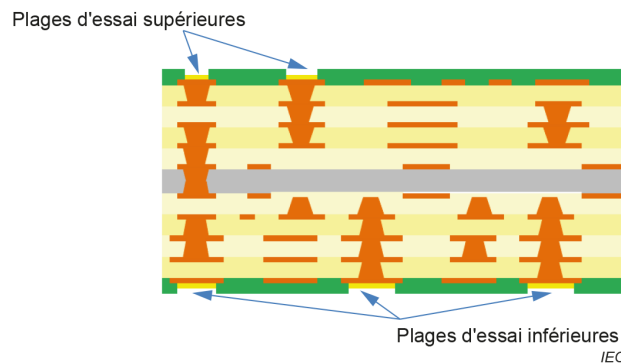


Figure 2 – Spécimen d'essai

## 6 Méthode d'essai

La Figure 3 représente le schéma de la méthode d'essai de capacité destinée à mesurer la capacité à l'aide d'un appareil d'essai de la capacité, de types pont de mesure RLC et appareil d'essai d'impédance. Après avoir établi le contact avec la plaque métallique de mise à la terre d'un côté, la capacité de toutes les plages d'accueil de l'autre côté doit être soumise à l'essai. Les essais de sonde de la partie supérieure et ceux de la partie inférieure sont réalisés.

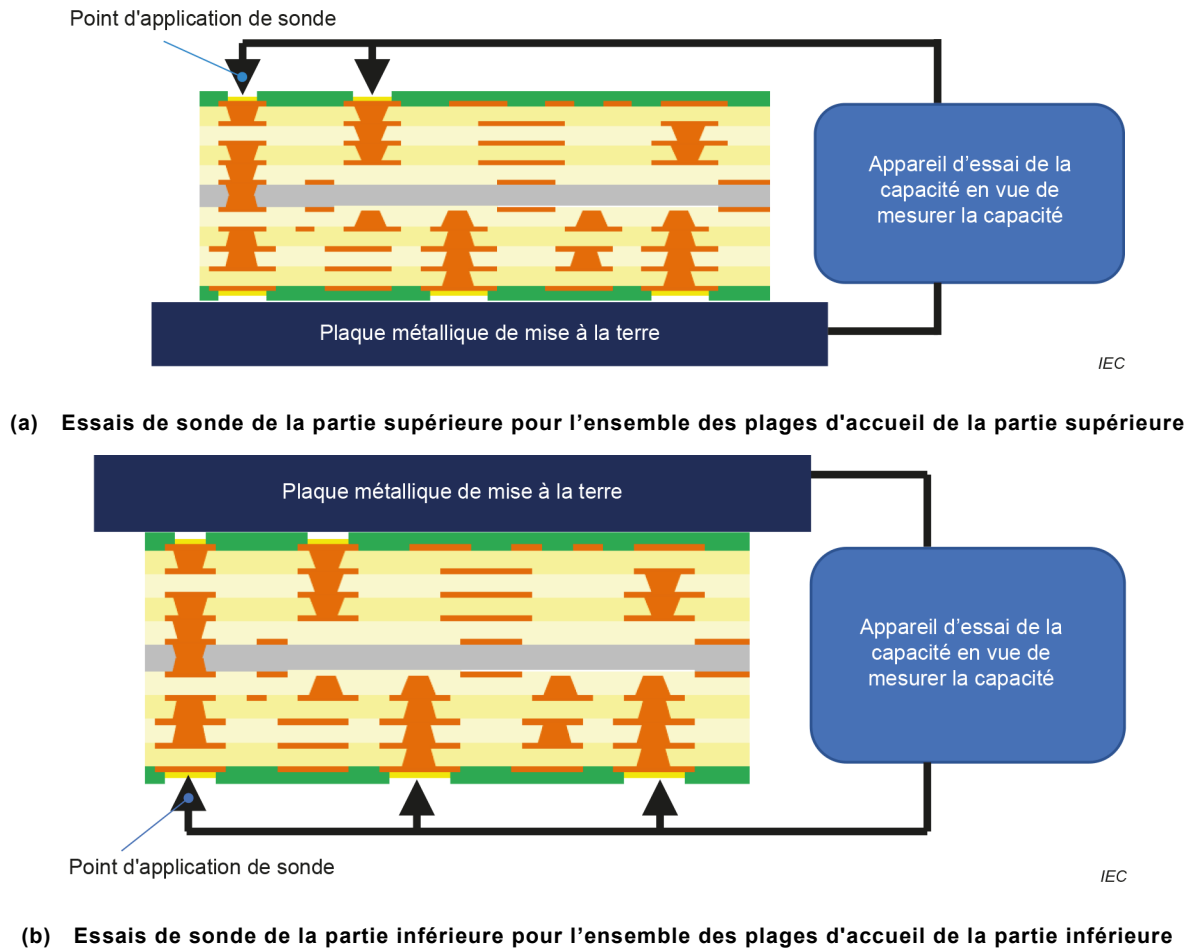


Figure 3 – Schéma de la méthode d'essai de la capacité

## 7 Procédures d'essai

Le spécimen doit être fixé à la plaque métallique de mise à la terre sans aucun autre matériau, et il peut être nécessaire d'utiliser la plaque métallique de mise à la terre comportant des trous d'aspiration pour améliorer la fixation entre le spécimen d'essai et la plaque métallique de mise à la terre. L'appareil d'essai de capacité à 2 ports doit lui être connecté à chaque point d'application de sonde et à la plaque métallique de mise à la terre. Si l'on examine le schéma d'essai de la Figure A.1, après avoir fixé le spécimen d'essai à la plaque métallique de mise à la terre, l'appareil d'essai d'impédance à 2 ports doit être connecté aux plages d'accueil du spécimen d'essai et de la plaque métallique de mise à la terre. La plaque métallique de mise à la terre doit correspondre à la terre commune et la capacité doit être mesurée à chaque point d'application de sonde en un seul côté. Il est aussi nécessaire d'effectuer ce mesurage à chaque point d'application de sonde du côté opposé. Ensuite, tous les résultats d'essais doivent être analysés en comparant le taux d'erreur moyen de la totalité des spécimens d'essai.

Les séquences d'essai pour soumettre à l'essai la capacité des circuits imprimés sont les suivantes:

- 1) Le circuit de référence et le spécimen d'essai doivent être conservés sans encapsulation dans les conditions normalisées de laboratoire pendant au minimum 24 h avant d'effectuer le mesurage.
- 2) Recherche des valeurs de référence avec la valeur moyenne pour chaque plage d'essai en soumettant à l'essai 10 spécimens, puis en déterminant le taux limite de valeur haute et le taux limite de valeur basse.
- 3) Nettoyage de la contamination sur la plaque métallique de mise à la terre.
- 4) Pose du spécimen sur la plaque métallique de mise à la terre et fixation du dispositif d'aspiration sans aucune fixation de matériaux.
- 5) En premier lieu, essai des caractéristiques de capacité du spécimen d'un côté, au moyen de l'appareil d'essai d'impédance.
- 6) Répéter la séquence 2).
- 7) Deuxièmement, fixation du spécimen du côté opposé sur la plaque métallique de mise à la terre, sans aucune fixation de matériaux.
- 8) Essai des caractéristiques de capacité du spécimen d'essai au moyen de l'appareil d'essai d'impédance.
- 9) Comparaison des caractéristiques de capacité de tous les résultats d'essai avec le taux d'erreur moyen en fonction de la limite haute et de la limite basse (mentionnées à l'Annexe A).

**Tableau 1 – Signification des lettres majuscules**

<b>A</b>	<b>B</b>	<b>C</b>	<b>D</b>	<b>E</b>	<b>F</b>
VALEUR- RÉF (F)	VALEUR- MES (F)	Taux d'erreur moyen (%)	LIMITE Haute (%)	LIMITE Basse (%)	Jugement (Réussite /Défaillance )

A = valeur moyenne de la capacité de 10 fois les valeurs d'essai

B = valeur de la capacité mesurée

$$C (\%) = (B/A) * 100$$

Plage F(Réussite) =  $E \leq C \leq D$

Plage F(Défaillance) =  $E > C$  ou  $C > D$

- 10) Jugement quant au taux de réussite/de défaillance des caractéristiques électriques du circuit imprimé.

## 8 Rapport

Le rapport d'essai doit inclure:

- a) le schéma d'essai prévu pour la méthode d'essai de la capacité;
- b) la fréquence de mesure;
- c) l'appareil d'essai d'impédance prévu pour mesurer la capacité utilisée;
- d) la plaque métallique de mise à la terre en tant que terre commune utilisée;
- e) l'humidité à température ambiante;
- f) la date de l'essai;
- g) la température ambiante à laquelle l'essai a été réalisé;
- h) les séquences d'essai;
- i) la limite haute et la limite basse;
- j) le tableau du taux d'erreur moyen en vue de comparer tous les résultats d'essais;
- k) le taux de réussite/de défaillance du circuit imprimé.

## Annexe A (informative)

### Méthode d'essai capacitive

#### A.1 Schéma d'essai

Comme l'indique la Figure A.1, le schéma d'essai des essais de sondes des plages d'accueil de la partie supérieure (Figure A.1a)) et de la partie inférieure (Figure A.1b)) doit être préparé.

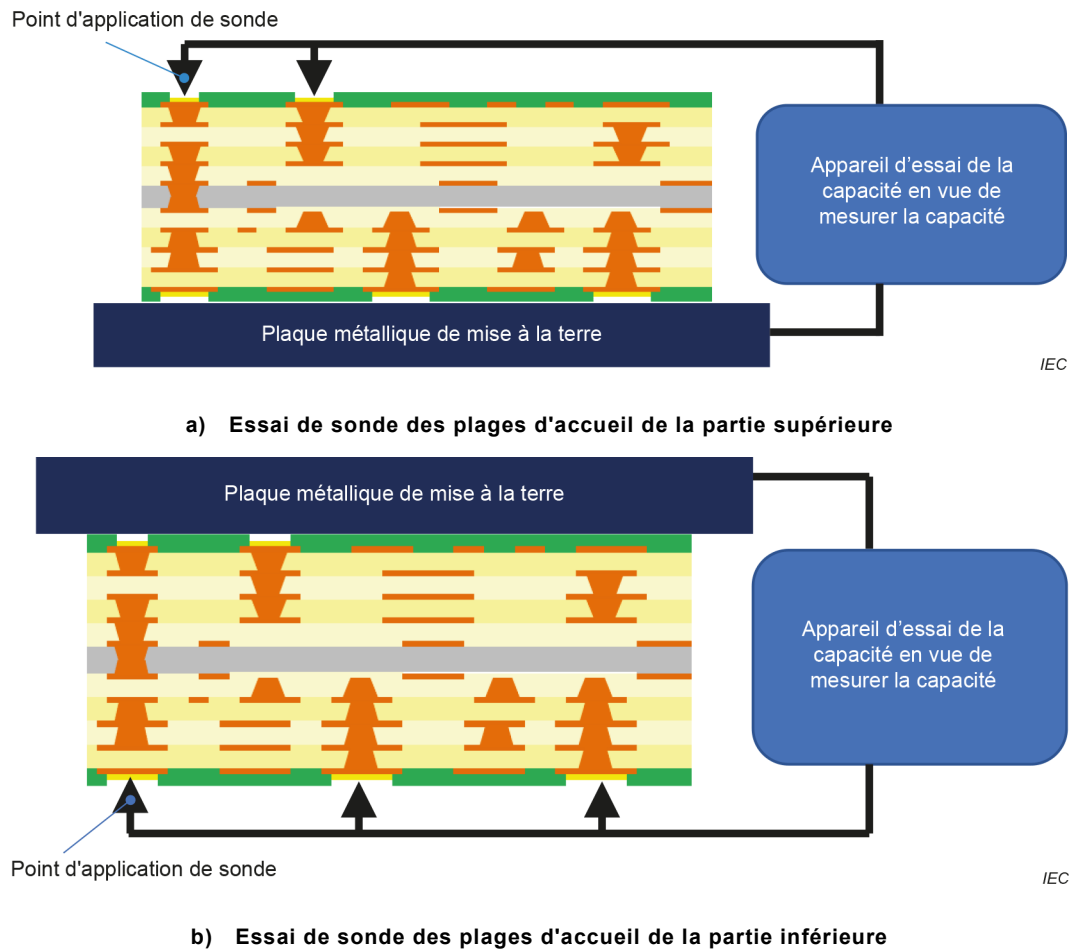


Figure A.1 – Schéma d'essai

#### A.2 Résultat d'essai

Le taux d'erreur moyen doit être calculé en comparant la valeur de référence et la valeur mesurée. En fonction de la limite haute et de la limite basse de 18 % dans chaque cas, la réussite ou la défaillance du spécimen doit être déterminée. Comme l'indique le Tableau A.1, 4 plages d'accueil de sondage parmi les plages d'accueil de sondage au niveau inférieur doivent être considérées comme défaillantes et le spécimen d'essai doit être estimé présenter un problème de fiabilité. La limite haute et la limite basse doivent être fixées après l'analyse des échantillons d'essai, en tenant compte des sociétés.

Tableau A.1 – Résultat d'essai du spécimen

Plages d'accueil de sondage		VALEUR-RÉF(F)	VALEUR-MES(F)	Taux d'erreur moyen (%)	LIMITE Haute	LIMITE basse	Jugement
Partie haute	1	1,91E-13	1,71E-13	-1,05E+01	18,00 %	-18,00 %	Réussite
	2	6,08E-14	5,59E-14	-8,07E+00	18,00 %	-18,00 %	Réussite
	3	1,92E-13	1,72E-13	-1,06E+01	18,00 %	-18,00 %	Réussite
	4	6,07E-14	5,56E-14	-8,38E+00	18,00 %	-18,00 %	Réussite
	5	4,25E-13	4,14E-13	-2,62E+00	18,00 %	-18,00 %	Réussite
	6	2,67E-13	2,44E-13	-8,69E+00	18,00 %	-18,00 %	Réussite
	7	3,63E-13	3,56E-13	-2,10E+00	18,00 %	-18,00 %	Réussite
	8	1,60E-12	1,64E-12	2,15E+00	18,00 %	-18,00 %	Réussite
	9	5,32E-13	5,22E-13	-1,79E+00	18,00 %	-18,00 %	Réussite
	10	3,65E-13	3,52E-13	-3,38E+00	18,00 %	-18,00 %	Réussite
	11	1,60E-12	1,62E-12	1,45E+00	18,00 %	-18,00 %	Réussite
	12	1,60E-12	1,63E-12	1,58E+00	18,00 %	-18,00 %	Réussite
Partie basse	1	6,02E-14	4,84E-14	-1,95E+01	18,00 %	-18,00 %	Défaillance
	2	7,61E-13	5,84E-13	-2,33E+01	18,00 %	-18,00 %	Défaillance
	3	6,02E-14	4,83E-14	-1,97E+01	18,00 %	-18,00 %	Défaillance
	4	6,02E-14	4,73E-14	-2,15E+01	18,00 %	-18,00 %	Défaillance
	5	3,89E-13	3,71E-13	-4,63E+00	18,00 %	-18,00 %	Réussite
	6	1,60E-12	1,59E-12	-7,13E-01	18,00 %	-18,00 %	Réussite
	7	1,60E-12	1,59E-12	-8,51E-01	18,00 %	-18,00 %	Réussite
	8	1,24E-13	1,18E-13	-4,18E+00	18,00 %	-18,00 %	Réussite
	9	1,60E-12	1,59E-12	-8,84E-01	18,00 %	-18,00 %	Réussite
	10	1,60E-12	1,59E-12	-9,09E-01	18,00 %	-18,00 %	Réussite
	11	1,60E-12	1,59E-12	-8,28E-01	18,00 %	-18,00 %	Réussite
	12	2,86E-13	2,78E-13	-2,69E+00	18,00 %	-18,00 %	Réussite





INTERNATIONAL  
ELECTROTECHNICAL  
COMMISSION

3, rue de Varembé  
PO Box 131  
CH-1211 Geneva 20  
Switzerland

Tel: + 41 22 919 02 11  
[info@iec.ch](mailto:info@iec.ch)  
[www.iec.ch](http://www.iec.ch)